

Tetsuya Matsunaga
720-8-9000
July 10, 2003-4920

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application: 2002年 7月18日

出願番号

Application Number: 特願2002-209611

[ST.10/C]:

[JP2002-209611]

出願人

Applicant(s): 松下電器産業株式会社

2003年 3月18日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3017752

【書類名】 特許願

【整理番号】 2926430388

【提出日】 平成14年 7月18日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/3065

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 松谷 哲也

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 地割 信浩

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100090446

【弁理士】

【氏名又は名称】 中島 司朗

【手数料の表示】

【予納台帳番号】 014823

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003742

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子デバイスの製造方法および電子デバイス

【特許請求の範囲】

【請求項1】 導電部が一方の主表面上に形成され、前記主表面上における導電部が形成された部分からその周辺にかけての領域が絶縁膜で覆われた基板に対して、

前記導電部側方の絶縁膜にコンタクト孔を形成するステップと、

前記コンタクト孔形成の後に、前記導電部を構成する材料に対して化学反応する性質を有する材料を、前記コンタクト孔内に供給するステップと、

前記導電部の前記供給材料による化学反応の痕跡の有無を検査するステップとを有する

ことを特徴とする電子デバイスの製造方法。

【請求項2】 前記導電部を構成する材料は、タンゲステンあるいはタンゲステン合金を含有しており、

前記供給材料は、過酸化水素あるいはオゾンを含有する溶液である

ことを特徴とする請求項1に記載の電子デバイスの製造方法。

【請求項3】 前記基板は、半導体特性を有するものであって、

前記導電部は、前記基板の主表面上に形成された機能電極である

ことを特徴とする請求項2に記載の電子デバイスの製造方法。

【請求項4】 前記機能電極には、前記検査するステップにおいて、前記化学反応の痕跡の有無を光学顕微鏡で検査可能な大面積部を備えている

ことを特徴とする請求項3に記載の電子デバイスの製造方法。

【請求項5】 前記基板上には、他の回路領域から回路的に独立した検査用領域が形成されており、

前記供給および検査の両ステップで対象とするのは、前記検査用領域に形成されたコンタクト孔および導電部である

ことを特徴とする請求項1に記載の電子デバイスの製造方法。

【請求項6】 基板の一方の主表面上に絶縁膜が形成され、複数の回路領域を有する電子デバイスであって、

前記複数の回路領域の中には、他の回路領域から回路的に独立した検査用領域が形成されており、

前記検査用領域は、前記絶縁膜中に形成された導電部と、前記絶縁膜における導電部の外縁に近接する位置に設けられたコンタクト孔とを有していることを特徴とする電子デバイス。

【請求項 7】 前記検査用領域における導電部には、検査用の大面積部を備えている

ことを特徴とする請求項 6 に記載の電子デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子デバイスの製造方法および電子デバイスに関し、特に電極および配線パターンを含む導電部とこれの側方に形成されるコンタクトプラグとの短絡発生の可能性の有無を検査するための技術に関する。

【0002】

【従来の技術】

電子デバイスとしてのメモリ装置は、複数の電界効果トランジスタ（FET）が高い密度で基板上に実装された構成を有している。

この種の半導体装置では、基板上にソース領域およびドレイン領域が狭い間隔をあけて形成され、これら領域の間であって基板の表面上にゲート酸化膜を介してゲート電極が形成されている。そして、基板上におけるゲート電極が形成された部分からその周辺にかけての全領域は、絶縁膜で覆われている。

【0003】

上記ソース領域およびドレイン領域には、絶縁膜の厚み方向に貫設されたコンタクトプラグによって絶縁膜の上に形成される配線と接続される。このコンタクトプラグは、隣り合うFETのゲート電極とゲート電極との間に開設されたコンタクト孔に低抵抗なタンクスチタンが埋め込まれることにより、形成されている。

ところで、このような半導体装置においては、高集積化の要望は止まることなく、それに呼応するようゲート電極の幅およびピッチの縮小、コンタクトプラ

グの径の縮小などが進んできている。例えば、最近よく普及している256MBタイプのDRAMなどでは、ゲート電極の幅が0.18(μm)であるような微細構造を採用する必要がある。この微細構造を実現するための規格として、所謂、ゲート幅0.18(μm)ルールが設けられている。

【0004】

ゲート電極の幅が0.18(μm)という微細なものになると、コンタクト孔は、レジスト膜が形成された絶縁膜に対して、エッチング処理することによって形成されることになる。

このような微細構造においては、通常、コンタクトプラグとゲート電極などの間で短絡を生じ易いのであるが、これを防止するためにセルフアラインコンタクト構造が採用されている。セルフアラインコンタクト構造とは、シリコン窒化膜をエッチングトップ層として用いるものであり、通常の方法でコンタクト孔を形成する場合に比べて、ゲート電極とコンタクト領域との重ねあわせマージンを確保し易く、結果として微細構造における短絡の発生を防止するものである。

【0005】

【発明が解決しようとする課題】

しかしながら、上記セルフアラインコンタクト構造を採用した場合にあっても、より一層の高密度化を実現しようすると、コンタクトプラグとゲート電極との間における短絡発生という問題を生じることがある。これは、構造の微細化に伴う製造過程における各マスクの位置精度を確保することが困難になってきたことや、エッチングにおける時間などの条件を厳密に管理する必要が生じてきたことなどが原因であると考えられる。このようにコンタクトプラグと隣接するゲート電極とが不所望に短絡した場合には、FETにおけるゲートとドレインあるいはゲートとソースとが常時接続状態となってしまい、その半導体装置は正常に動作しなくなってしまう。メモリ装置の場合においては、1のメモリセルにおいて短絡が発生した場合でも、装置全体が欠陥品となってしまう。

【0006】

なお、このような不所望な短絡は、コンタクトプラグとゲート電極との間に限らず、コンタクトプラグと絶縁膜内に設けられた配線などとの間においても同様

の問題を生じる。

以上のような問題に対して、現状では、拡散工程やその他の配線工程などを経た後の電気特性評価の段階において、初めて短絡検査を実施できるものである。つまり、コンタクトプラグとゲート電極などとの短絡の検出は、コンタクト孔を形成した直後に行うことができず、もし短絡が生じていてもその後の複数の工程を経た後でなければ検出を行うことができないので、その間の製造過程で投入される工数および材料などの面で多大なロスを生じることがあった。

【0007】

また、仮に製造工程に異常が生じて上記のような短絡を生じている場合には、電気特性評価の段階での検査で短絡が発見された場合、コンタクト孔の形成工程から電気特性評価の段階に至るまでの製造過程中の全ての前駆体に短絡を生じている可能性が高くなり、その被害は甚大なものとなる。

本発明は、このような問題を解決するためになされたものであって、コンタクトプラグとこれに外縁が近接する導電部との短絡発生の可能性の有無を、コンタクト孔を形成した直後に検出することによって、電子デバイスを歩留まりよく製造することができる電子デバイスの製造方法およびそれに適した電子デバイスを提供することを目的とする。

【0008】

【課題を解決するための手段】

上記目的を達成するために、本発明に係る電子デバイスの製造方法は、導電部が一方の主表面上に形成され、主表面上における導電部が形成された部分からその周辺にかけての領域が絶縁膜で覆われた基板に対して、導電部側方の絶縁膜にコンタクト孔を形成するステップと、コンタクト孔形成の後に、導電部を構成する材料に対して化学反応する性質を有する材料を、コンタクト孔内に供給するステップと、導電部を構成する材料における供給材料による化学反応の痕跡の有無を検査するステップとを有することを特徴とする。

【0009】

この製造方法では、コンタクト孔内に導電部が露出している場合には、このコンタクト孔を用いて形成したコンタクトプラグと導電部との間に不所望の短絡を

生じることになるが、上記製造方法によれば、コンタクト孔を開口した直後にこれらの間における短絡発生の可能性の有無を正確に検出することができる。よって、本発明の電子デバイスの製造方法では、コンタクト孔内に供給した材料と導電部を構成する材料との間における化学反応の痕跡の有無を検査することにより、コンタクト孔内に導電部が露出しているか否かを正確に検査することができる。

【0010】

なお、具体的な導電部としては、電極や配線パターンなどがあげられる。

また、上記製造方法では、コンタクト孔内に供給する材料が導電部に対して選択的に化学反応する性質を有する材料であれば、供給した材料によって他の構成要素に対してダメージを与えることが無いので望ましい。

上記製造方法において、化学反応の痕跡の有無を検査するステップでは、電子顕微鏡などを用いて絶縁膜を通して反応によって生じる空隙の有無を確認したり、供給するステップの後の供給材料中への導電部を構成する材料が混在しているか否かを確認したりすることで化学反応の痕跡の有無を検査することができる。

【0011】

以上のように、本発明の製造方法では、コンタクト孔を開口した直後にコンタクトプラグと導電部との間における短絡発生の可能性の有無を検出できるので、電子デバイスを歩留まりよく製造することができる。

なお、上記コンタクト孔内に供給する材料は、導電部を構成する材料に対しては他の材料に対してよりも反応性が優れた材料である。

【0012】

上記製造方法では、導電部を構成する材料がタンゲステンあるいはタンゲステン合金を含有し、且つ、供給材料が過酸化水素あるいはオゾンを含有する溶液であることが望ましい。

具体的には、基板が半導体特性を有する半導体基板であって、導電部が基板の主表面上に形成された機能電極であるような場合があげられる。

【0013】

上記製造方法では、検査するステップにおいて、光学顕微鏡を用いて反応の有

無を検査できるように、大面積部を機能電極中に形成しておくことが検査の容易性という面から望ましい。

また、他の回路領域から回路的に独立した検査用領域を基板上に形成しておき、この領域におけるコンタクト孔と導電部とを上記供給するステップおよび検査するステップの対象とすることが望ましい。この方法では、検査用領域を用いて短絡発生の可能性の有無を検査することができるので、コンタクト孔と導電部との短絡可能性を複数の水準により検査することができ、また、検査対象の電子デバイスの検査だけでなく、この製造工程の精度の検査についても行うことができる。

【0014】

また、本発明の電子デバイスは、基板の主表面上に絶縁膜が形成されるとともに、複数の回路領域を有するものであって、複数の回路領域の中に、他の回路領域から回路的に独立した検査用領域を形成しておき、この検査用領域が、絶縁膜中に形成された導電部と、絶縁膜における導電部の外縁に近接する位置に設けられたコンタクト孔とを有していることを特徴とする。

【0015】

この電子デバイスでは、他の回路領域から回路的に独立した検査用領域を有しているので、短絡発生の可能性の有無を検査する上でこの検査用領域を用いることができ、より高い精度で短絡発生の可能性の有無を検査可能となる。

従って、本発明の電子デバイスでは、検査用領域におけるコンタクト孔内への導電部の露出を検査することで、コンタクトプラグと導電部との短絡発生の可能性の有無が検査されるので、高い歩留まりで製造が行われ、コストの面で優位性を有する。

【0016】

特に、上記電子デバイスでは、検査用領域における導電部に検査用の大面積部を形成しておくことが、検査の容易性の向上という面から望ましい。つまり、導電部に大面積部を設けておけば、上記のような検査の段階で空隙の有無を確認し易くなり、検査が容易となり、見逃しなどによる歩留まりの低下が防止できる。特に、この電子デバイスでは、上記方法による化学反応の痕跡の有無を検査する

場合に、光学顕微鏡により検査することができるので工程面からも優れる。

【0017】

【発明の実施の形態】

(第1の実施の形態)

本発明の第1の実施の形態に係る半導体装置の製造方法について、図1～図4を用いて説明する。本発明の実施の形態では、FETとしての機能を有し、メモリなどの用途用のスイッチング素子としての機能を有する半導体装置を対象とするものであり、図1～図4では、便宜上、一部領域を抜き出して示している。

【0018】

図1(a)に示すように、表面にシリコン酸化膜(不図示)が形成されたシリコン基板1上には、膜厚100(nm)のポリシリコン膜2、膜厚80(nm)のタンゲステン膜3、膜厚200(nm)のシリコン窒化膜4が順に積層されている。そして、シリコン窒化膜4の上には、フォトリソグラフィー法によりパターン形成されたレジスト膜100が形成されている。各々のレジスト膜100の幅は、形成しようとするゲート幅に対応して、約130(nm)に設定されている。そして、レジスト膜100とレジスト膜100との間隙は、例えば、180(nm)に設定されている。

【0019】

このような状態のシリコン基板1に対し、ドライエッチングを行う。

図1(b)には、ドライエッチング後、レジスト膜100を除去した後のシリコン基板1を示している。

図1(b)に示すように、エッチング後のシリコン基板1上には、パターン化されたポリシリコン膜2およびタンゲステン膜3およびシリコン窒化膜4により、ゲート電極(ポリメタル電極)8が形成される。

【0020】

図1(b)の状態から図1(c)の状態までの間において、実際には、リンあるいは砒素(n型不純物)をイオン注入し、シリコン基板1内における開口部分にソース領域あるいはドレイン領域を形成するが、本実施の形態では図示を省略する。

次に、ゲート電極8が形成されたシリコン基板1の面上に、TEOS(Si($\text{OC}_2\text{H}_5)_4$)膜5とストップとしてのシリコン窒化(Si₃N₄)膜6とを形成する。TEOS膜5の膜厚は、例えば20(nm)程度であり、シリコン窒化膜6の膜厚は、例えば50(nm)程度である。

【0021】

TEOS膜5、シリコン窒化膜6を形成した後、その表面上にBPSG(ボロン、リン添加SiO₂)膜7を積層し、その表面がCMP(ケミカルメカニカルポリッシュ)により平坦化されて、図1(d)に示すような状態となる。このとき、BPSG膜7の膜厚みは、最も厚いところで700(nm)程度である。

次に、セルフアライン(自己整合)コンタクト法を用いたコンタクト孔を、BPSG膜7の厚み方向に形成する。このコンタクト孔は、BPSG膜7の表面からシリコン基板1に到達し、且つ、ゲート電極8とゲート電極8との間を抜くように形成されるものである。コンタクト孔の形成方法について、図2を用いて説明する。

【0022】

図2(a)に示すように、BPSG膜7の上には、フォトリソ用のマスクを用いて、一边が約200(nm)の矩形状開口部110aが形成されたコンタクト孔用のレジスト膜110が積層されている。この形成には、フォトリソグラフィー法が用いられる。

次に、図2(b)に示すように、BPSG膜7の上記開口部110aに対応する部分は、ドライエッチングによって、膜の厚み方向にエッチングされ、ストップとしてのシリコン窒化膜6まで開口される。

【0023】

図2(b)に示すようにシリコン窒化膜6が露出するまでドライエッチングを行った後、エッチングガスをCHF₃(または、CH₂F₂)に切り替え、シリコン窒化膜6およびTEOS膜5のエッチングを行う。このように、セルフアライン法を用いてコンタクト孔7aを形成した場合には、多少の位置ずれが生じてもゲート電極8と接触することなくコンタクト孔7aを形成することができる。

【0024】

このとき、正常にエッチングが完了した場合には、図2（c）に示すように、コンタクト孔7a内部には、タンゲステン膜3が露出することがない。

これに対して、ドライエッチングにおける条件異常を生じた場合、例えば、シリコン窒化膜6に対するエッチング材料の選択性が低い場合、あるいは、レジスト膜110の形成段階で許容限度を越える位置ずれを生じている場合には、図2（d）に示すように、コンタクト孔7bの内面にタンゲステン膜3の一部が露出（露出部3a）する場合がある。このようにコンタクト孔7bの内面に露出部3aが存在する場合には、後工程でコンタクト孔7bにタンゲステンを埋め込んでコンタクトプラグを形成すると、コンタクトプラグとゲート電極8との間で短絡不良を生じることになる。

【0025】

従来では、このような短絡不良は、半導体装置の製造過程における電気特性評価の段階で検出していたために、短絡不良が発生したときにコンタクト孔形成工程から電気特性評価工程までの間の製造過程に投入される工数および材料などの面で多大なロスを生じることがあった。

これに対して、本実施の形態では、図2に示すコンタクト孔7a、7bを形成した直後に、この内面にタンゲステン膜3が露出しているか否かを検査することにより、製造の最終段階におけるコンタクトプラグとゲート電極8との間での短絡発生の可能性の有無を検査する。この検査方法について、図3および図4を用いて説明する。

【0026】

図3（a）に示すように、上記図2（c）の状態の半導体装置前駆体10を容器200内の検査用溶液210に浸漬する。検査用溶液210の成分は、タンゲステンに対して選択的に化学反応する性質を有するものであり、且つシリコン基板1上の他の物質に対して化学反応を生じない性質のものであればよく、例えば次のようなものを使用することができる。溶液210には、塩酸（30体積%）：過酸化水素水（30体積%）：純水=1：1：5の混合液を用いることができる。

【0027】

そして、浸漬条件は、溶液温度が75(°C)、浸漬時間が10(min.)程度である。この条件下におけるタンゲステンとBPSG膜7あるいはシリコン窒化膜6とのエッチング選択比は、10000以上であり、タンゲステンが容易に溶け出すのに対して、BPSG膜7あるいはシリコン窒化膜6が溶け出すことはほとんどない。上記浸漬条件下におけるタンゲステンの溶出速度は、100(nm/min.)以上である。

【0028】

浸漬後の半導体装置前駆体10を容器200から取り出し、水洗、乾燥を施した後、タンゲステン膜3の状態（化学反応の痕跡の有無）を検査する。図3(b)に示すようなタンゲステン膜3の露出のない半導体装置前駆体10の場合には、検査用溶液210とタンゲステン膜3とが接触することは無く、化学反応を生じることがないので、反応の痕跡が検出されることが無い。つまり、検査用溶液210に浸漬する前後において、半導体装置前駆体10は、その状態に変化を生じない。この場合のA-A断面を図4(a)に示す。

【0029】

図4(a)に示すように、コンタクト孔7a内へのタンゲステン膜3の露出がないので、検査用溶液210をコンタクト孔7a内へ供給した場合にも、タンゲステン膜3が溶出することがない。

これに対して、上記図2(d)のようにコンタクト孔7b内にタンゲステン膜3の露出部3aが存在する場合には、コンタクト孔7a内への検査用溶液210の供給により、露出部3aのタンゲステンと過酸化水素水との間で化学反応を生じ、タンゲステン膜3の構成材料であるタンゲステンが検査用溶液210中に溶出する。

【0030】

図3(c)に示すように、タンゲステンが溶出したタンゲステン膜3には、その痕跡としての溶出部3bが発生する。つまり、タンゲステン膜3の露出部3aが検査用溶液210中の過酸化水素水と反応し、露出部3aから侵食されることにより、化学反応の痕跡としての溶出部3bが生じる。このときのB-B断面を示したのが、図4(b)である。

【0031】

図4（b）に示すように、図面向かって左側のタングステン膜3の一部には、タングステンが溶出して形成された溶出部3bが存在する。この溶出部3bの有無については、図4（b）のような断面サンプルを作製して確認するまでもなく、ウェハーレベルで観察可能な走査型電子顕微鏡を用いて、BPSG膜7を通して確認することが可能である。これは、BPSG膜7の厚みが厚いところでも700（nm）と非常に薄いために、BPSG膜7を通して溶出部3bの有無の確認が実施できるものである。

【0032】

この時点で上記図3（c）および図4（b）のように溶出の発生が確認できた半導体装置前駆体20については、不良品であると判定され、製造ラインからリジェクトされることになる。

このように本実施の形態にかかる製造方法では、コンタクト孔7a、7bを形成した直後に、コンタクトプラグとゲート電極8との短絡発生の可能性の有無を検査することができるので、従来のように短絡発生の可能性が有る半導体装置前駆体20について、コンタクト孔形成工程より後の工程を継続することなくすことができる。

【0033】

従って、本実施の形態に係る半導体装置の製造方法では、投入工数および材料などの面におけるロスを抑制することができる。

また、本実施の形態の製造方法では、コンタクト孔7a、7bを形成した直後に短絡発生の可能性の有無を検査できるので、工程中の製造設備あるいは条件などに異常を生じている場合にも、被害を最小限に食い止めることができる。

【0034】

つまり、この製造方法では、コンタクト孔を形成した後すぐに不良品を検出すことができるので、従来のようにコンタクト孔形成工程から電気特性評価工程にかけて不良品の山を築かなくても済む。

さらに、上記のように、露出部3aがない正常な半導体装置前駆体10では、タングステン膜3に溶出部3bを生じることが無く、化学反応の痕跡（溶出部3

b) の有無の検査についても、電子顕微鏡によりBPSG膜7を通して行うので、溶出を生じていない良品にダメージを与えることが無い。つまり、タンゲステンの溶出の無い半導体装置前駆体10については、何らダメージを受けることなく次工程へと送られる。

【0035】

なお、半導体装置前駆体10、20を浸漬する検査用溶液210は、上記では過酸化水素水と塩酸と純水の混合液としたが、これに限定を受けるものではない。つまり、タンゲステンに対して選択的に化学反応する性質を有し、且つ他の構成材料に対して化学反応しない性質を有するものであればよく、例えば、過酸化水素水、過酸化水素水と硫酸との混合液、アンモニア水と過酸化水素水との混合液、あるいはオゾン水などを用いることもできる。対象となる電極材料がタンゲステン以外の場合にも、選択性を考慮して検査用溶液を決定することができる。

【0036】

また、上記実施の形態では、短絡検査の可能性の検査対象をコンタクトプラグとゲート電極との間としたが、検査対象は、これに限定されるものではない。例えば、多層構造を有する半導体装置を製造する場合には、BPSG膜7中に配線層が形成されるが、コンタクトプラグとこの配線層との間における短絡発生の可能性についても上記方法と同様に検査を行うことが可能である。

【0037】

さらに、本実施の形態では、FET領域を有する半導体装置の製造を対象としているが、上記製造方法は、絶縁膜で覆われた導電部が基板上に形成され、この導電部の外縁に近接する位置にコンタクト孔を設けるような工程を有する電子デバイスの製造方法に適用することができる。

(実施の形態2)

上記実施の形態1では、半導体装置前駆体10、20における実際の回路部分を用いて検査を行ったが、本実施の形態では、予めシリコン基板1上に検査用領域を設けておき、この検査用領域を検査することにより、短絡発生の可能性の有無を検出できる半導体装置の製造方法について、説明する。

【0038】

先ず、図5に示すように、薄い円盤状のシリコン基板1上には、複数の回路領域30が互いに間隙をおいて形成される。この回路領域30と回路領域30との間の間隙は、スクライブ領域と呼ばれるものであって、製造における最終段階で各回路領域30を切り分けるための、所謂、切代である。

図5の拡大部に示すように、本実施の形態では、このスクライブ領域に検査用領域31、32、33が並べて設けられている。これらの検査用領域31、32、33の各々には、上記実施の形態1と同様に、シリコン酸化膜、タンゲステン膜を含むゲート電極、TEOS膜、シリコン窒化膜、BPSG膜などが形成されている。

【0039】

また、検査用領域31、32、33の各々におけるBPSG膜上には、上記図2(a)と同様に、開口部110aを有するレジスト膜が形成されているが、この開口部110aの形成には、回路領域30におけるレジスト膜の開口部を形成するのに用いるのと同一のマスクが用いられる。つまり、回路領域30と検査用領域31、32、33とでは、開口部110aの位置精度が同一となる。

【0040】

各検査用領域31、32、33の特徴について、図6を用いて説明する。図6(a)～(c)の各々は、BPSG膜7上に開口部110aを有するレジスト膜110を形成したところを示す平面図である。

先ず、図6(a)に示すパターンの検査用領域31は、タンゲステン膜3の幅が上記と同様に180(nm)であり、隣り合うタンゲステン膜3とタンゲステン膜3との間の間隙が180(nm)である。

【0041】

また、レジスト膜の開口部110aの寸法は、図面上の縦方向がW2(例えば、200nm)、横方向がL2(例えば、200nm)である。

タンゲステン膜3と開口部110aとのセンター間の距離、つまり設計上のタンゲステン膜3とコンタクト孔とのピッチは、P1(例えば、180nm)に設定されている。

【0042】

次に、図6（b）に示すパターンの検査用領域32は、タンゲステン膜3とレジスト膜の開口部110aとの設計上のピッチが、上記P1より少し小さいP2（例えば、150nm）に設定されている。

図6（c）に示すパターンの検査用領域33は、タンゲステン膜3と開口部110aとの設計上のピッチが、P1およびP2よりも小さいP3（例えば、120nm）に設定されている。

【0043】

上記図6（b）、（c）に示すパターンでは、タンゲステン膜3と開口部110aとのピッチ以外は上記図6（a）と同一である。

本実施の形態に係る製造方法では、上述のように、上記3つの検査用領域31、32、33を1セットとして予めシリコン基板1上に作りこんでおき、上記図3の方法を用いて短絡発生の可能性の有無を検査する。この検査では、3つの検査用領域31、32、33を用いて対象の半導体装置前駆体だけでなく、その製造工程の異常発生の有無を検出することもできる。例えば、最も厳しいピッチP3を有する検査用領域33で開口したコンタクト孔でタンゲステンの溶出が検出され、且つ、他の検査用領域31、32では溶出の痕跡が検出されなかった場合には、検査対象の半導体装置前駆体そのものに異常はないが、製造工程で何らかのトラブル（例えば、位置決め精度の低下）の前兆があるというように判断される。そして、上記図6（b）に示すパターンの検査用領域32におけるコンタクト孔でタンゲステンの溶出の痕跡が検出された場合には、上述と同様に、検査対象の半導体装置前駆体自体に問題は無いものの、製造工程における異常発生の状態が深刻であると判断される。そして、上記図6（a）に示すパターンの検査用領域31において、タンゲステンの溶出の痕跡が検出された場合には、製造工程を停止しなければならないほど深刻であり、且つ、検査対象の半導体装置前駆体を不良品であると判定する。

【0044】

これらの判定基準については、予め実験などにより求めておけばよい。

以上のように、本実施の形態に係る半導体装置の製造方法では、検査対象の半導体装置前駆体の短絡発生の可能性の有無が検出できるとともに、製造工程中の

トラブル発生の前兆をも検出することができるので、製造工程中におけるロス（投入工数および材料のロス）を最小限に抑えた歩留まりの高い半導体装置の製造が実現できる。

【0045】

なお、本実施の形態では、半導体装置前駆体に3つの検査用領域31、32、33を形成したが、形成する検査用領域の数（検査水準数）は、これに限定されるものではない。例えば、細かく検査したい場合には、開口部110aとタングステン膜3とのピッチPを細かく設定して、数多くの検査用領域をスクライブ領域に形成すればよい。あるいは、逆に、1つあるいは2つの検査用領域を形成してもよい。

【0046】

なお、上記実施の形態1と同様に、検査用溶液210には、タングステンに対して選択的に化学反応する性質を有し、且つ他の構成材料に対して化学反応しない性質を有するものを用いることができる。

また、上記製造方法は、絶縁膜で覆われた導電部が基板上に形成され、この導電部の外縁に近接する位置にコンタクト孔を設けるような工程を有する電子デバイスの製造方法に適用することができる。また、検査対象は、上記実施の形態1と同様に、コンタクトプラグと配線層などとの間であってもよい。

【0047】

また、検査用領域を形成する場所は、上記スクライブ領域に限定されるものではなく、シリコン基板1上の空いている領域であればよい。

（実施の形態3）

実施の形態3に係る半導体装置の製造方法について、図7を用いて説明する。図7は、シリコン基板1上に形成する検査用領域41、42、43を示す平面図（一部断面図）である。これらの検査用領域41、42、43の形成には、上記実施の形態2と同様に、スクライブ領域などの空いた領域を用いる。

【0048】

図7（a）～（c）に示す3つの検査用領域41、42、43は、上記検査用領域31、32、33と同様に、回路領域30の形成に用いるマスクを用い、且

つ3つの領域を1セットとして形成するものである。以下では、各々の検査用領域41、42、43の特徴について、説明する。

先ず、図7(a)～(c)の相違点は、隣り合うタングステン膜3とタングステン膜3との間のピッチP4、P6、P7が異なる点である。これに伴って、各検査用領域41、42、43では、タングステン膜3と開口部110aとのピッチP5、P7、P9もそれぞれに異なる。

【0049】

ここでは、具体的に、 $P4 = 360\text{ (nm)}$ 、 $P6 = 330\text{ (nm)}$ 、 $P8 = 300\text{ (nm)}$ に設定し、これにより、 $P5 = 180\text{ (nm)}$ 、 $P7 = 165\text{ (nm)}$ 、 $P9 = 150\text{ (nm)}$ に設定される。

なお、タングステン膜3の幅W3および開口部110aの寸法W2、L2については、上記図6と同一に設定されている。

【0050】

以上のような3つの検査用領域41、42、43が形成された半導体装置前駆体を用いた検査では、上記実施の形態2の検査用パターンを用いた方法よりもセルフアラインコンタクト構造を有する電子デバイスの製造方法における短絡発生の可能性の有無を検査するのに適している。これは、次のような理由によるものである。

【0051】

つまり、セルフアラインコンタクト構造のコンタクトプラグを形成する場合には、セルフアラインコンタクト構造を有しない場合に比べて、コンタクトプラグとこれの外縁に近接する導電部との短絡発生が、導電部と導電部との間隙の大きさ(ピッチ)に大きく影響を受ける。本実施の形態に係る半導体装置の製造方法では、セルフアラインコンタクト構造のこのような特性を利用して、高い精度でこの間における短絡発生の可能性の有無を検査するものである。

【0052】

また、本実施の形態に係る半導体装置の製造方法においても、3つの検査用領域を設けているので、対象となる半導体装置の短絡の検査だけでなく、製造工程のトラブル発生の前兆を高い精度で検出することが可能である。

従って、本実施の形態に係る半導体装置の製造方法では、コンタクト孔を形成した直後にコンタクトプラグとゲート電極あるいは配線層などの導電部との短絡発生の可能性の有無を検査することができるので、高い効率で半導体装置の製造を行うことができ、高い歩留まりを維持することができる。

【0053】

なお、本実施の形態においても、3水準のパターンの検査用領域を形成したが、形成するパターン数（水準の数）は、これに限定されるものではない。

また、本実施の形態でも、検査対象を上記図7のようなコンタクトプラグとゲート電極8のタンクスチタン膜3との間に限定するものではなく、コンタクトプラグと配線層などの間であってもよい。

（実施の形態4）

上記実施の形態2、3では、半導体装置前駆体を検査用溶液210に浸漬の後、幅180（nm）のタンクスチタン膜3の溶出部3bについて電子顕微鏡を用いて検査を行ったが、本実施の形態の製造方法では、光学顕微鏡を用いて低倍率で検査が可能な方法について、図8を用いて説明する。

【0054】

図8に示すように、本実施の形態に係る製造方法では、検査用領域51中におけるタンクスチタン膜3に大面積部3cを形成しておく。この大面積部3cの寸法は、例えば、W₄=30（μm）、L₄=20（μm）に設定されている。

このような大面積部3cを有するタンクスチタン膜3を含む検査用領域を予めシリコン基板1上のスクライブ領域などに形成しておき、上記図3のように短絡発生の可能性の有無について検査を行う。

【0055】

仮に、コンタクト孔7bの内壁にタンクスチタン膜3の一部が露出していた場合には、上述のように検査用溶液210中への浸漬によってタンクスチタンが溶出する。この溶出部3bは、浸漬時間の経過とともに大面積部3cへと進行、拡大する。

大面積部3cにまで侵食が進行した溶出部3bを検出するのは、上述のように電子顕微鏡を用いて高倍率で実施する必要が無く、光学顕微鏡を用いて低倍率（

例えば、50～100倍程度)で容易に可能となる。

【0056】

従って、本実施の形態のように、検査用領域51にタングステン膜3の大面積部3cを設けておけば、検査段階における検査のし易さという点から有効である。

なお、本実施の形態における大面積部3cの形成は、上記実施の形態2、3に組み合わせることでより効果的な検査方法とすることができます。

(その他の事項)

上記実施の形態1～4は、本発明に係る半導体装置の製造方法および半導体装置の一例を示すものであって、本質的な部分であるコンタクト孔7a、7bへのタングステン膜3の露出を検査するという部分以外については、何ら限定を受けるものではない。例えば、シリコン基板1上に形成されたソース電極とドレイン電極との間にコンタクトプラグを形成するような場合にも上記技術を適用すれば、コンタクトプラグとこれらの電極との間における短絡発生の可能性の有無を確実に検出することができる。

【0057】

また、検査用溶液210は、上記実施の形態で用いた過酸化水素水と塩酸との混合液の他に、例えば、硫酸(98体積%)：過酸化水素水(30体積%)=5:1の混合液や、アンモニア水(30体積%)：過酸化水素水(30体積%)：純水=1:1:5の混合液などを用いることもできる。

さらに、上記実施の形態1～4では、半導体装置の製造方法を一例に説明したが、本発明の製造方法が対象とするのは、絶縁膜で覆われた導電部が基板上に形成され、この導電部の外縁に近接する位置にコンタクト孔を設けるような工程を有する電子デバイスの全てである。

【0058】

【発明の効果】

以上説明してきたように、本発明に係る電子デバイスの製造方法は、導電部が一方の主表面上に形成され、主表面上における導電部が形成された部分からその周辺にかけての領域が絶縁膜で覆われた基板に対して、導電部側方の絶縁膜にコ

ンタクト孔を形成するステップと、コンタクト孔形成の後に、導電部を構成する材料に対して化学反応する性質を有する材料を、コンタクト孔内に供給するステップと、導電部を構成する材料の供給材料による化学反応の痕跡の有無を検査するステップとを有することを特徴とする。

【0059】

この製造方法では、導電部を構成する材料に対して選択的に化学反応する性質を有する材料をコンタクト孔内に供給し、これらの間における化学反応の痕跡の有無を検査することにより、コンタクト孔内に導電部が露出しているか否かを正確に検査することができる。

従って、本発明の製造方法では、コンタクト孔を開口した直後にコンタクトプラグと導電部との間における短絡発生の可能性の有無を検出できるので、高い歩留まりで電子デバイスを製造することができる。

【0060】

また、本発明の電子デバイスは、基板上に絶縁膜が形成されるとともに、複数の回路領域を有するものであって、他の回路領域から回路的に独立した検査用領域を複数の回路領域中に形成しておき、この検査用領域が、絶縁膜中に形成された導電部と、絶縁膜における導電部の外縁に近接する位置に、絶縁膜の厚み方向に設けられたコンタクト孔とを有していることを特徴とする。

【0061】

この電子デバイスでは、他の回路領域から回路的に独立した検査用領域を有しているので、短絡発生の可能性の有無を検査する上でこの検査用領域を用いることができ、より高い精度で短絡発生の可能性の有無を検査可能となる。

従って、本発明の電子デバイスでは、検査用領域におけるコンタクト孔内への導電部の露出を検査することで、コンタクトプラグと導電部との短絡発生の可能性の有無が検査されるので、高い歩留まりで製造が行われ、コストの面で優位性を有する。

【図面の簡単な説明】

【図1】

第1の実施の形態に係る半導体装置の製造工程を示す工程図である。

【図2】

コンタクト孔の形成工程を示す工程図である。

【図3】

コンタクト孔内へのタンゲステン膜の露出の有無を検出する工程を示す工程図である。

【図4】

検査用溶液に浸漬後におけるタンゲステン膜の状態を示す平面図である。

【図5】

シリコン基板上における検査用領域を示す平面図である。

【図6】

第2の実施の形態に係る製造方法で用いる検査用領域の形態を示す平面図（一部断面図）である。

【図7】

第3の実施の形態に係る製造方法で用いる検査用領域の形態を示す平面図（一部断面図）である。

【図8】

第4の実施の形態に係る製造方法で用いる検査用領域の形態を示す平面図（一部断面図）である。

【符号の説明】

1. シリコン基板
2. ポリシリコン膜
3. タンゲステン膜
- 3 a. 大面積部
4. シリコン窒化膜
5. TEOS膜
6. シリコン窒化膜
7. BPSG膜

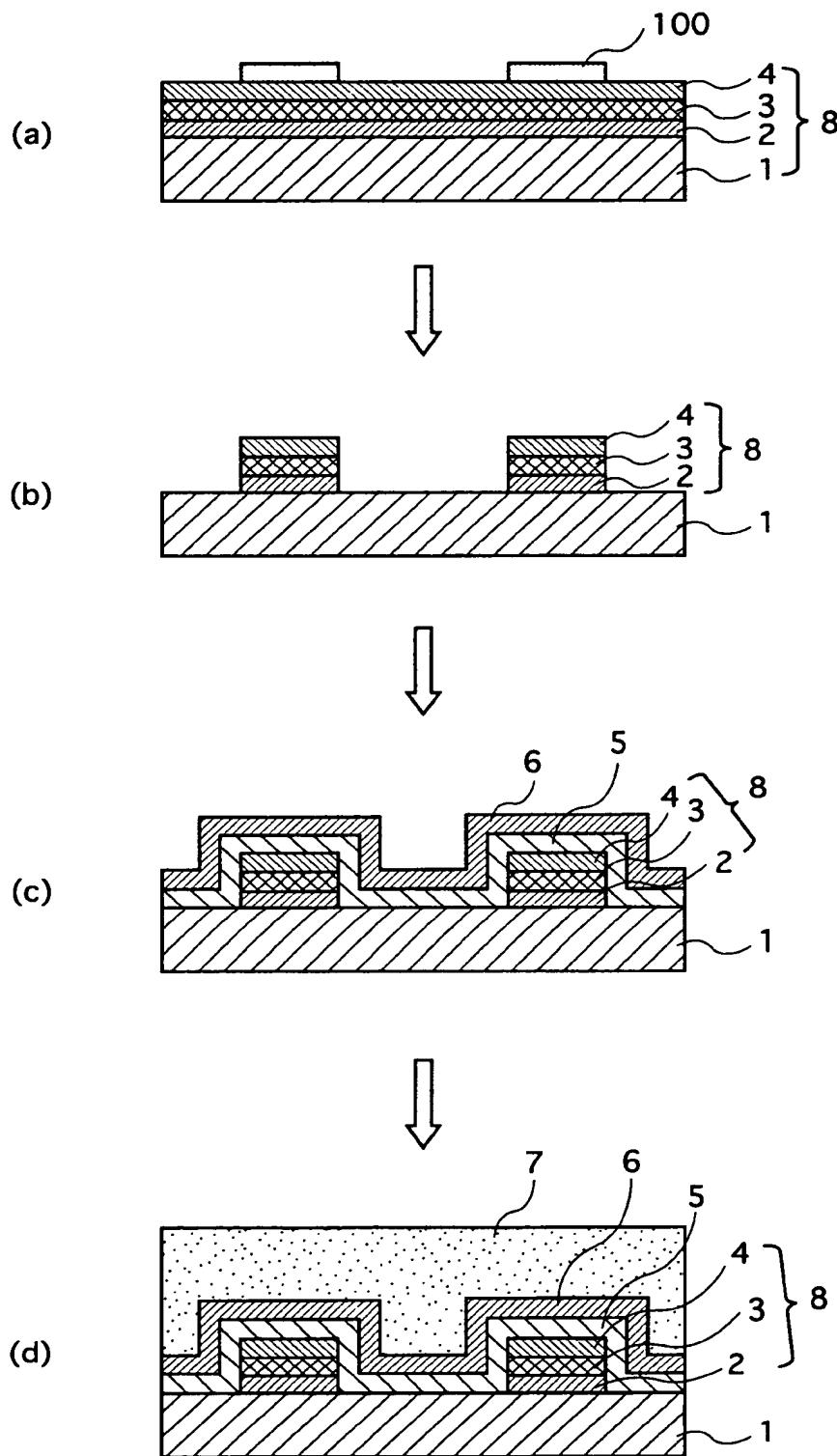
3 1、3 2、3 3. 検査用領域

1 1 0. レジスト膜

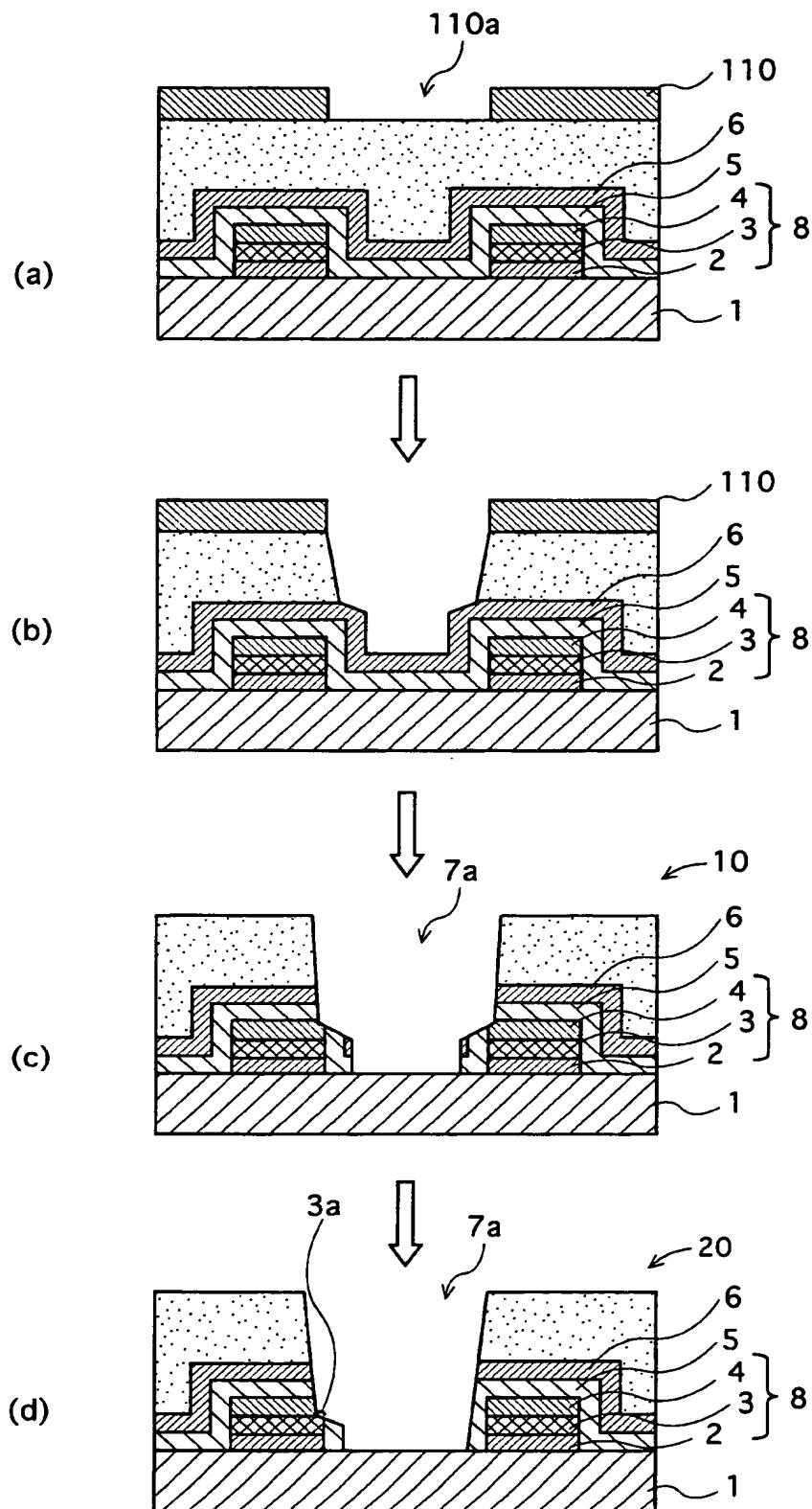
110 a. 開口部

210. 検査用溶液

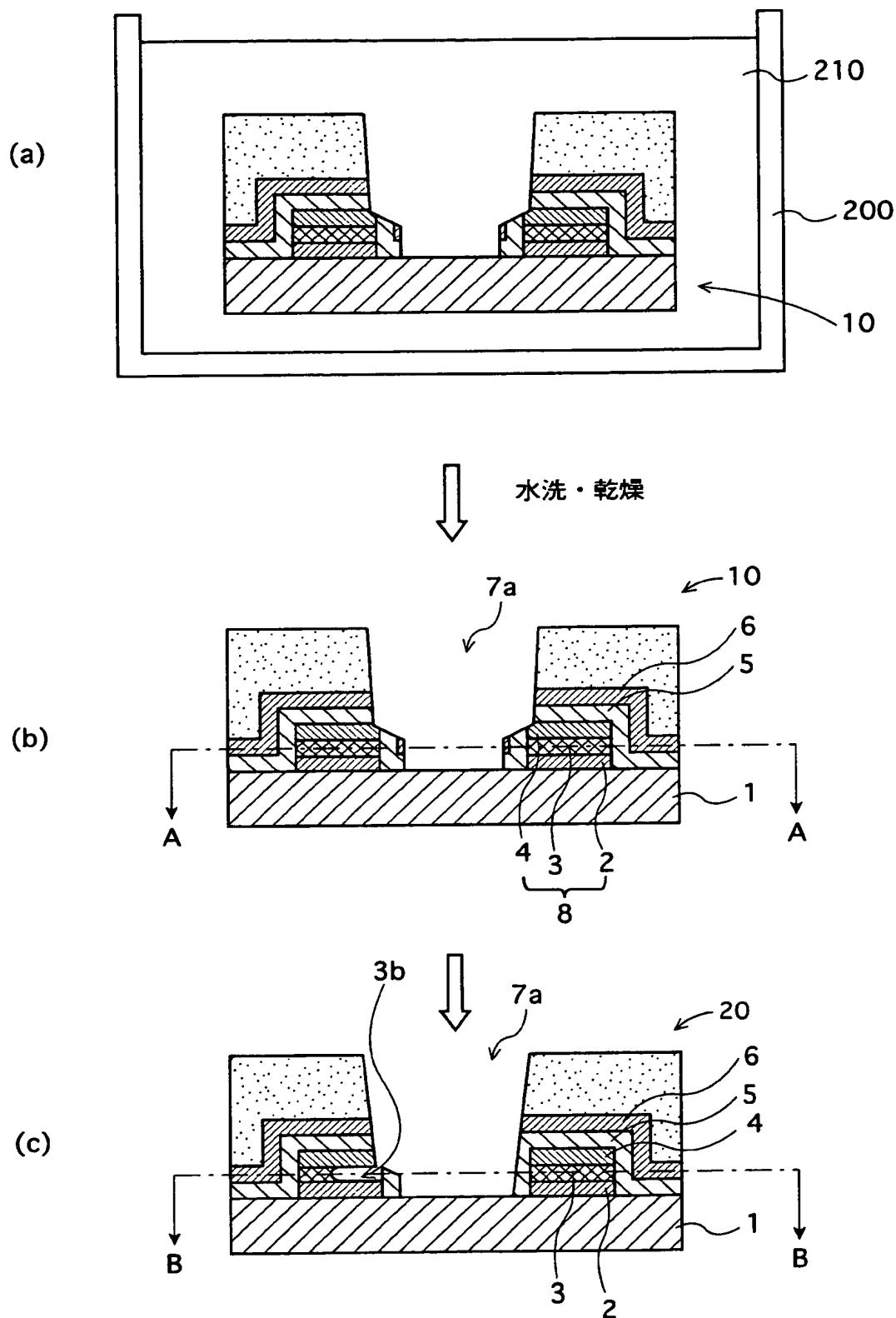
【書類名】 図面
【図1】



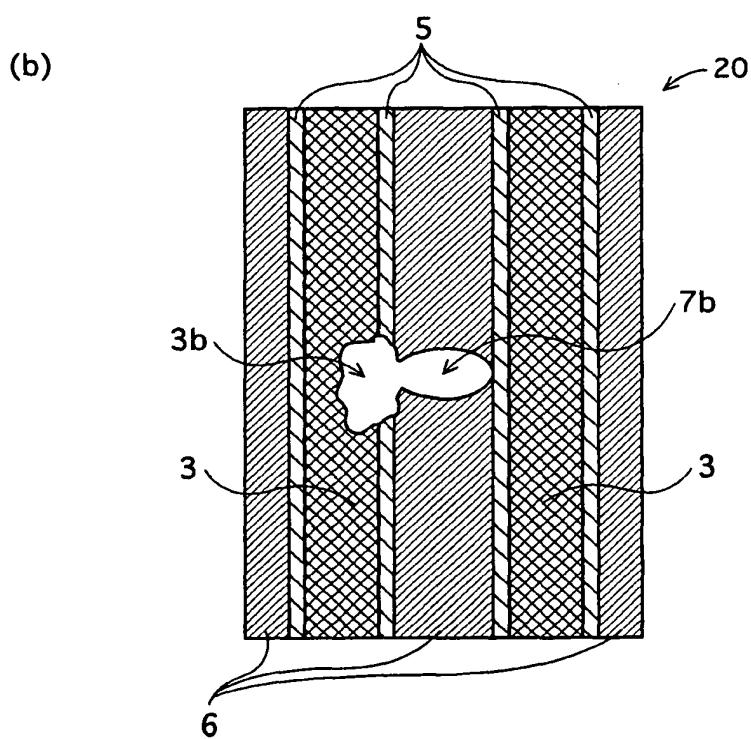
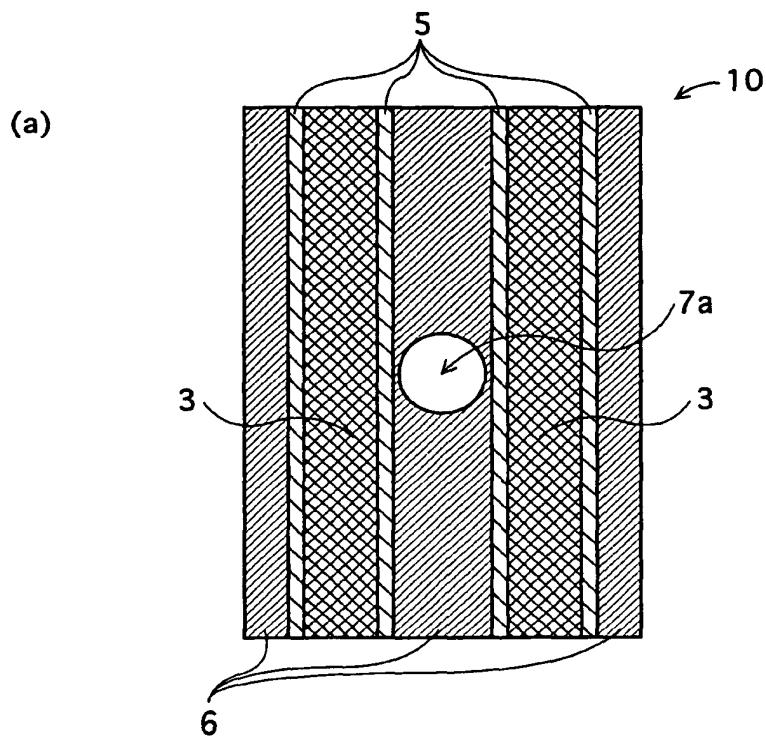
【図2】



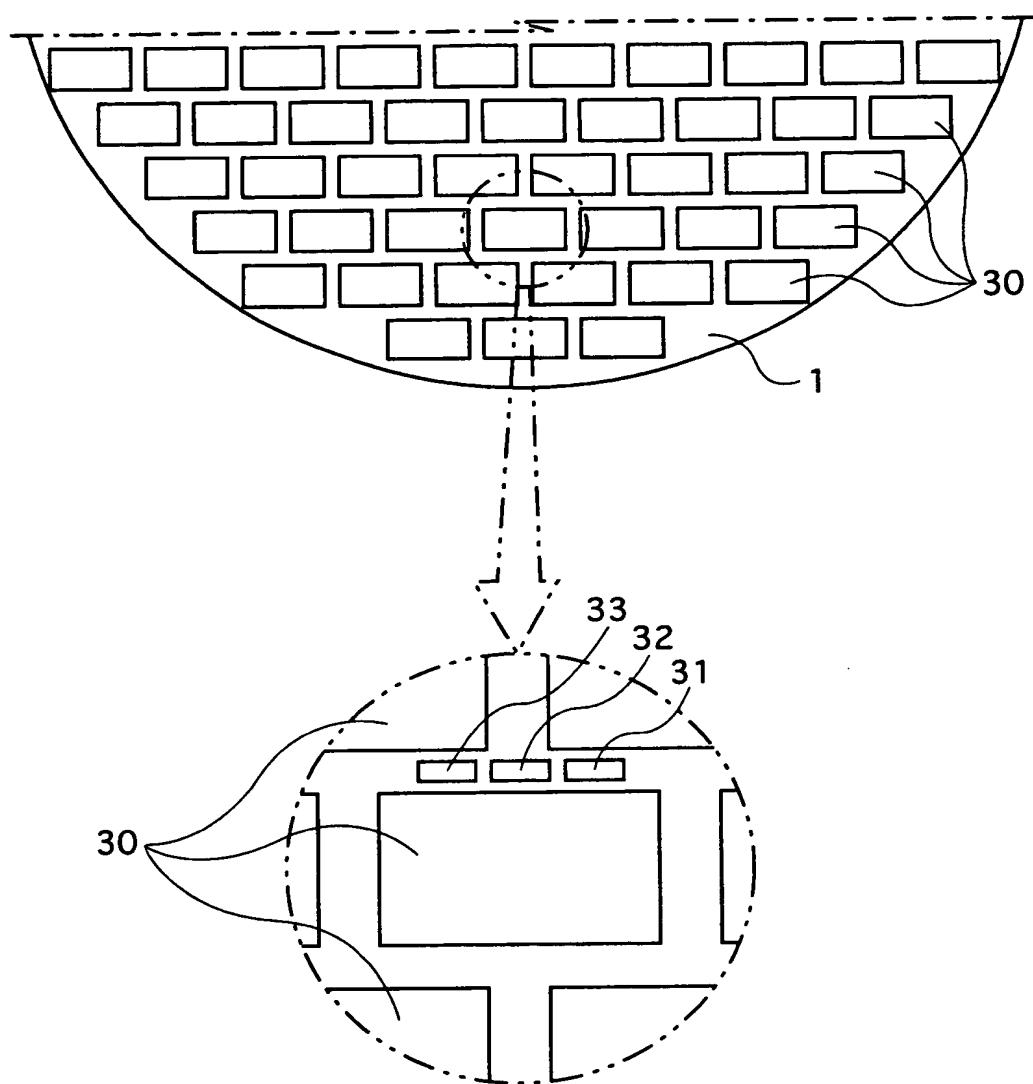
【図3】



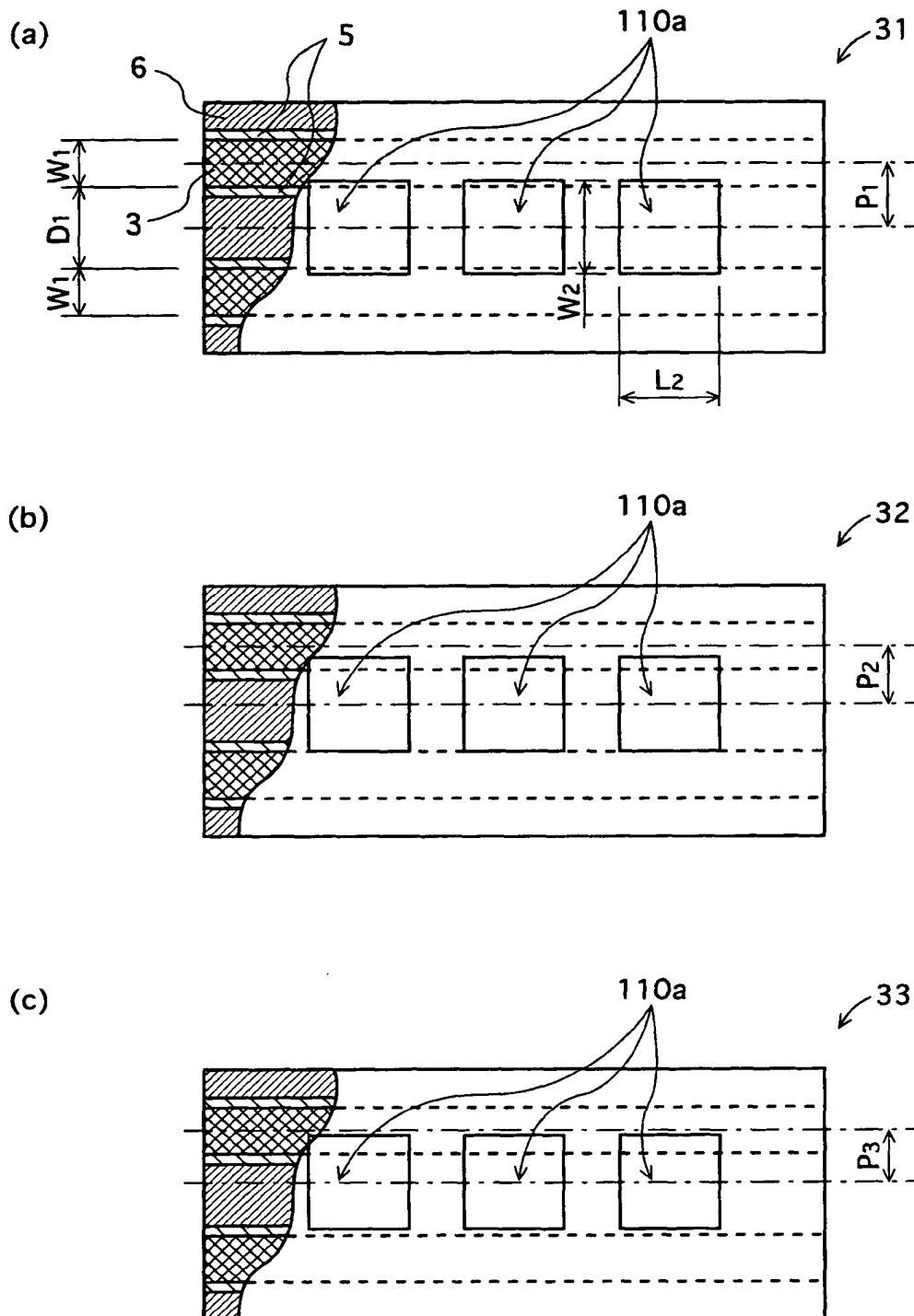
【図4】



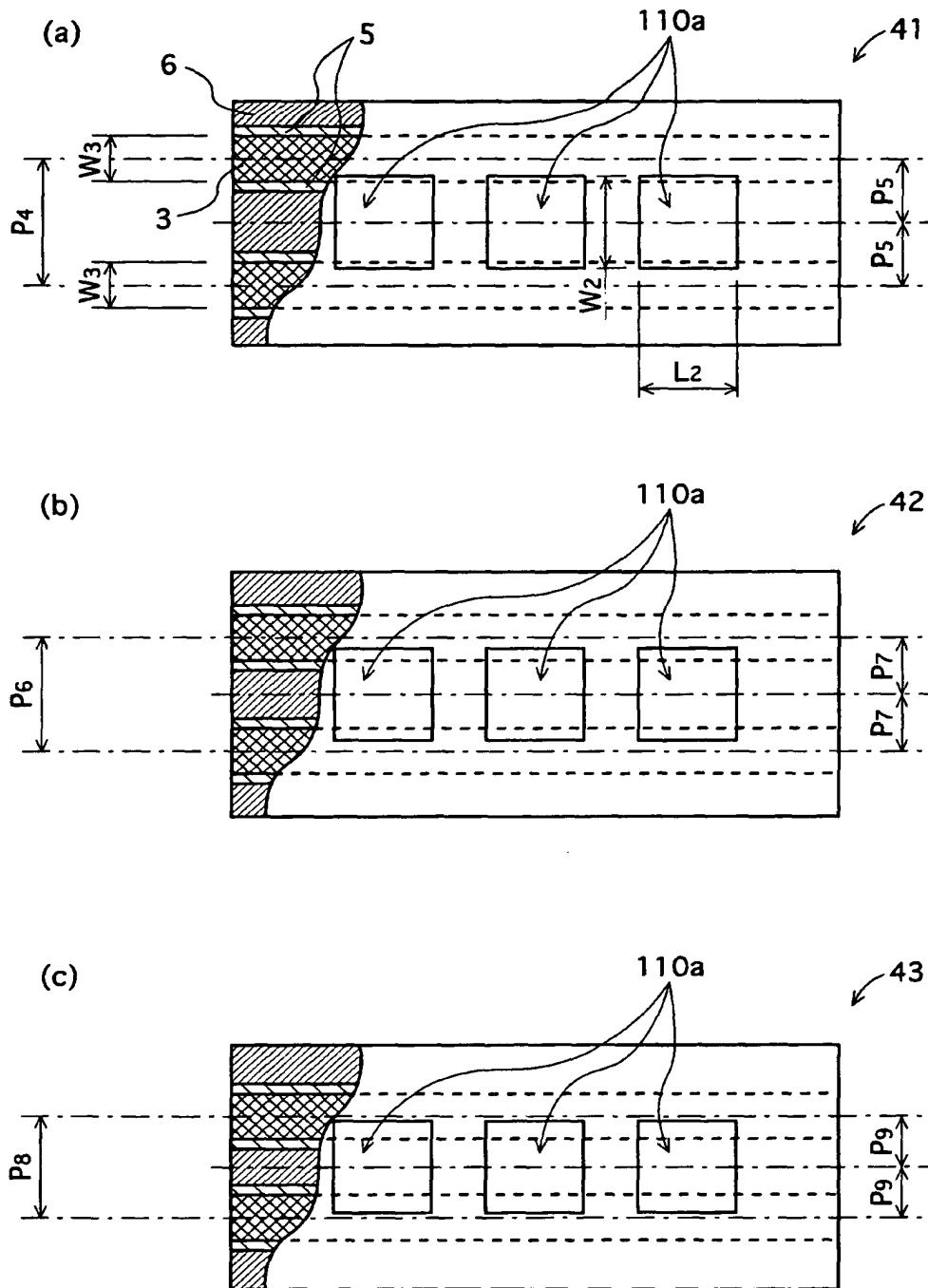
【図5】



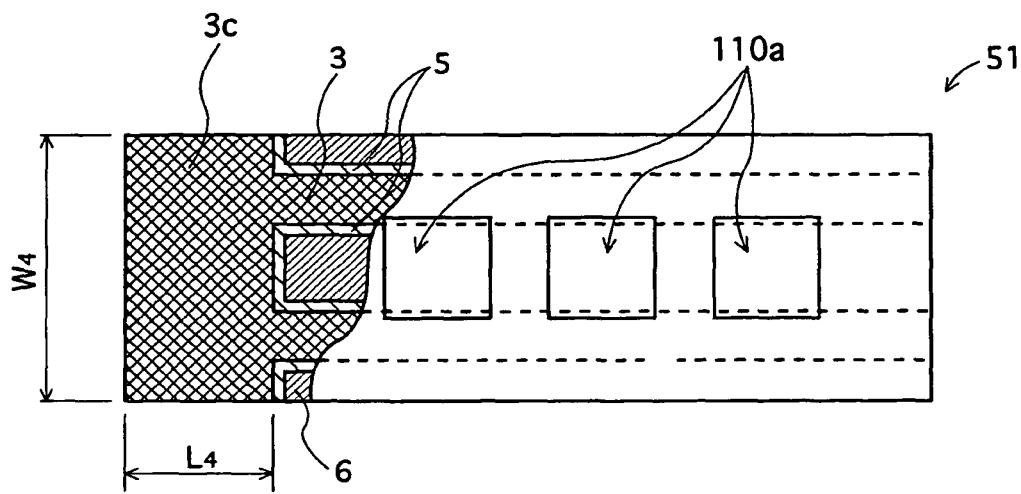
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】

コンタクトプラグとこれに外縁が近接する導電部との短絡発生の可能性の有無を、コンタクト孔を形成した直後に検出することによって、電子デバイスを歩留まりよく製造することができる電子デバイスの製造方法およびそれに適した電子デバイスを提供する。

【解決手段】

孔7a、7bが形成された半導体装置前駆体10を容器200内の検査用溶液210に浸漬する。溶液210には、過酸化水素水が含有されている。

浸漬後の半導体装置前駆体10を容器200から取り出し、水洗、乾燥を経た後、タンゲステン膜3における化学反応の痕跡の有無を検査する。孔7aへのタンゲステン膜3の露出がない場合には、浸漬後における化学反応の痕跡が検出されることはないが、タンゲステン膜3が露出している場合には、化学反応の痕跡である溶出部3bが検出される。

【選択図】 図3

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社